



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/402

In re patent application of

Yong-kyu LEE, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: METHOD OF MANUFACTURING TWIN-ONO-TYPE SONOS MEMORY USING
REVERSE SELF-ALIGNMENT PROCESS

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:


The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 03-20444, filed April 1, 2003.

Respectfully submitted,

February 20, 2004
Date



Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0020444
Application Number

출원 년 월 일 : 2003년 04월 01일
Date of Application APR 01, 2003

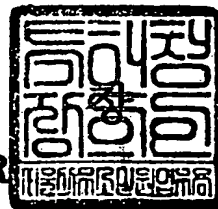
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 20 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0065
【제출일자】	2003.04.01
【국제특허분류】	H01L
【발명의 명칭】	역자기 정합 방식을 이용한 트윈-ONO 형태의 SONOS 메모리 소자 제조 방법
【발명의 영문명칭】	Method for manufacturing SONOS memory device with twin-ONO by reverse self-aligning process
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이용규
【성명의 영문표기】	LEE, Yong Kyu
【주민등록번호】	690613-1821116
【우편번호】	442-726
【주소】	경기도 수원시 팔달구 영통동 벽적골 주공9단지 909동 703호
【국적】	KR
【발명자】	
【성명의 국문표기】	한정욱
【성명의 영문표기】	HAN, Jeong Uk
【주민등록번호】	640110-1951812

【우편번호】	441-704
【주소】	경기도 수원시 권선구 금곡동 LG빌리지 아파트 206동 203호
【국적】	KR
【발명자】	
【성명의 국문표기】	강성택
【성명의 영문표기】	KANG, Sung Taeg
【주민등록번호】	710507-1009919
【우편번호】	138-777
【주소】	서울특별시 송파구 송파2동 삼익아파트 209동 1107호
【국적】	KR
【발명자】	
【성명의 국문표기】	이종덕
【성명의 영문표기】	LEE, Jong Duk
【주민등록번호】	440110-1030912
【우편번호】	151-742
【주소】	서울특별시 관악구 신림동 산56-1 서울대학교 전기공학부
【국적】	KR
【발명자】	
【성명의 국문표기】	박병국
【성명의 영문표기】	PARK, Byung Gook
【주민등록번호】	590419-1069019
【우편번호】	151-742
【주소】	서울특별시 관악구 신림동 산56-1 서울대학교 전기공학부
【국적】	KR
【공개형태】	학술단체 서면발표
【공개일자】	2003.02.21
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 39 면 39,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 20 항 749,000 원

【합계】 817,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 공지에외적용대상(신규성상
실의예외, 출원시의특례)규정을 적용받 기 위한 증명서류_1
통

【요약서】**【요약】**

역자기 정합 방식(reverse self-aligning process)을 이용한 트윈(twin)-ONO 형태의 SONOS 메모리 소자 제조 방법을 제공한다. 본 발명의 일 관점에 의한 제조 방법은, 포토 리소그래피(photo lithography)의 한계에 제한을 받지 않고 동시에 게이트 하단에 ONO 유전층이 역자기 정합 방식에 의해 물리적인 이격을 지닌 형태로 제작되는 방법을 제시한다. 역자기 정합 방식을 도입하기 위해서 버퍼층(buffer layer) 및 ONO 유전층의 폭을 설정하는 스페이서(spacer)들이 도입된다. 이에 따라, SONOS 메모리 소자의 프로그램 및 소거 시에 포획(trap)된 전하의 산포를 인위적으로 제한하여 소자 특성을 개선시키고, 동시에 프로그램/소거 후의 전하의 시간에 따른 확산을 인위적으로 제한하는 쌍둥이(Twin) 형태의 2-비트 SONOS 비휘발성 메모리 소자를 제조할 수 있다.

【대표도】

도 5k

【명세서】**【발명의 명칭】**

역자기 정합 방식을 이용한 트윈-ONO 형태의 SONOS 메모리 소자 제조 방법
{Method for manufacturing SONOS memory device with twin-ONO by reverse self-aligning process}

【도면의 간단한 설명】

도 1은 전형적인 SONOS 메모리 셀을 설명하기 위해서 개략적으로 도시한 단면도이다.

도 2는 전형적인 2-비트(bit) 메모리 동작을 설명하기 위해서 개략적으로 도시한 도면이다.

도 3a는 전형적인 SONOS 소자에서 프로그램 후 실리콘 질화물층에 주입된 전하의 분포를 보여주는 도면이다.

도 3b는 전형적인 SONOS 소자에서 시간(t)이 지남에 따라 주입된 전하의 재분배에 의한 리텐션(retention) 특성을 보여주는 도면이다.

도 4a 및 도 4b는 전형적인 SONOS 소자에서 내구 특성을 설명하기 위해서 도시한 그래프(graph)들이다.

도 5a 내지 도 5k는 본 발명의 제1실시예에 의한 트윈(twin)-ONO 형태의 SONOS 메모리 소자 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 6a 내지 도 6j는 본 발명의 제2실시예에 의한 트윈-ONO 형태의 SONOS 메모리 소자 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 7a 내지 도 7k는 본 발명의 제3실시예에 의한 트윈-ONO 형태의 SONOS 메모리 소자 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 8a 내지 도 8j는 본 발명의 제4실시예에 의한 트윈-ONO 형태의 SONOS 메모리 소자 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 9a 및 도 9b는 본 발명의 실시예들에 의한 트윈-ONO 형태의 SONOS 메모리 소자의 효과를 설명하기 위해서 시뮬레이션(simulation)한 전하 산포를 도시한 도면들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 반도체 소자 제조에 관한 것으로, 특히, 비대칭적 프로그램(program) 방식을 사용한 2 비트(2-bit) 메모리(memory) 소자로 이용될 수 있는 트윈(twin)-ONO 형태의 SONOS 메모리 소자를 역자기 정합 방식(reverse self-aligning process)을 이용하여 제조하는 방법에 관한 것이다.

<12> 최근 전기적으로 데이터(data)의 소거(erase)와 저장(program)이 가능하고, 전원이 공급되지 않아도 데이터의 보존이 가능한 비휘발성 반도체 메모리 소자가 다양한 분야에서 그 응용이 증가되어 가고 있다. 이러한 비휘발성 메모리 소자의 대표적인 예가 플래시 메모리 셀 소자(flash memory cell device)이다.

<13> 현재까지의 개발 및 양산화된 대표적인 플래시 반도체 메모리의 구조는 전하를 담아두는 플로팅 게이트(floating gate)와 이를 제어하는 컨트롤 게이트(control gate)의 적층된 형태로 구성된 스택 게이트(stack gate) 형태가 일반적이다.

- <14> 메모리 소자의 대용량화와, 복잡한 회로를 구성하기 위한 게이트 어레이(gate array) 수가 급격히 증가함에 따라, 예컨대, 대략 $0.10\mu\text{m}$ 이하의 미세 패터닝 기술이 소자의 제조에 요구되어 지고 있다. 기존의 스택 게이트 형태의 비휘발성 메모리 셀은 지속적으로 축소(shrink)되고 있으나, 이를 위한 극미세화가 요구됨에 따라 포토(photo) 및 식각 공정이 그 한계에 다다르고 있다. 통상의 전하를 담아두는 플로팅 게이트와 그 상단에 컨트롤 게이트가 적층 되어 있는 구조는 스케일링(scaling) 측면뿐만 아니라 높은 단차에 기인한 메모리 소자의 패터닝의 어려움이 있기 때문이다.
- <15> 기존의 플로팅 게이트를 가지는 스택 게이트의 비휘발성 셀이 지속적으로 개발 및 제품화가 진행되는 동안, 한편에서는 MOSFET 구조처럼 단일(single) 게이트 구조로서 포획(trap) 전하를 이용하는 SONOS(또는 MONOS) 비휘발성 셀이 연구 되어지고 있다.
- <16> 도 1은 전형적인 SONOS 메모리 셀을 설명하기 위해서 개략적으로 도시한 단면도이다.
- <17> 도 1을 참조하면, SONOS(또는 MONOS) 셀은 반도체 기판(10), 예컨대, p-Si 기판에 소스 및 드레인 정션(source and drain:15)을 형성하고, 반도체 기판(10) 상에 ONO(Oxide-Nitride-Oxide) 유전층(20)을 형성한 후 그 상에 게이트(30)를 형성하여 구성된다. 이러한 SONOS 셀은 트랜지스터(transistor)의 게이트 산화막(gate oxide) 대신에 ONO 유전층(20)을 사용하는 구조를 가지고 있다. 동시에, SONOS 셀은 전하(charge)를 담아두는 플로팅 게이트 대신에 게이트 산화막을 대신한 ONO 유전층(20)을 도입함으로써, ONO 유전층(20)의 얇은 실리콘 산화물층(21, 25) 사이의 실리콘 질화물층(23)에 전자를 주입하거나 또는 홀(hole)을 주입시키게 된다.

- <18> 한편, 메모리를 위한 ONO 유전층(20)의 두께는 대략 1 ~ 2백 Å 이하이므로, SONOS 셀에서는 플로팅 게이트와 같은 추가의 층을 도입함에 따라 부가적으로 유발되는 단차가 매우 크게 되지 않는다. 따라서, 포토 공정 조건이 허용하는 한 스케일 축소(scale down)가 상대적으로 용이하고, 특히, 플로팅 게이트 관련한 부가적인 과정들(processes)이 줄어드는 제조 상의 장점을 SONOS 메모리 셀은 지니고 있다.
- <19> 한편, 수 년 전부터 세이펀(Seifun) 사 및 AMD 사 등에서는 보다 높은 고집적도의 비휘발성 메모리 소자를 구현하기 위하여, SONOS 형태의 메모리를 채택하여 플로팅 게이트가 없는 구조를 이용하되 비대칭적(asymmetric) 프로그램 방식을 사용한 2-비트 메모리의 제안 및 제품화를 도모하여 왔다.
- <20> 도 2는 드레인-소스로의 전압(V_{DS}) 인가에 따른 전형적인 2 비트 메모리 동작을 설명하기 위해서 개략적으로 도시한 도면이다.
- <21> 도 2를 참조하면, 2 비트 메모리 기술은 스택 게이트 형태의 플래시 소자에 대비하여 동일 면적 당 2배의 집적도를 구현하는 장점이 있다. 이러한 2-비트 메모리 동작은 트랜지스터의 컨트롤 게이트(도 1의 30)와 양쪽의 소스 및 드레인 정션(15) 중 한쪽 정션에 높은 전압을 인가하여(즉, 채널 핫 전자 주입(CHEI: Channel Hot Electron Injection) 방식으로) 전자를 게이트(30)의 한쪽 가장 자리 하단의 실리콘 질화물층(23)에 전하를 주입하고(순방향(forward)으로 주입), 이후에, 반대쪽 소스 및 드레인 정션(15)과 게이트(30)에 전압을 인가하여 역방향(reverse)으로 읽는 방식을 채택하고 있다.
- <22> 동시에, 소거는, 드레인 정션(15)에 고전압을 인가하고 게이트(30)와 기판(10) 벌크(bulk)는 접지시켜, 게이트(30)와 선택된 고농도의 드레인 정션(15)의 중첩 영역

(overlap region)에서 홀(hole)의 밴드간 터널링(BtBT:Band-to-Band Tunneling) 원리를 이용하여, 실리콘 질화물층(23)내의 프로그램된 쪽의 전자를 홀로써 홀과 재결합시킴으로써 수행된다.

<23> 하지만 비대칭적인 전하 포획 방식에서 메모리 셀의 게이트(도 1의 30) 길이가 상대적으로 길 때에는 프로그램되는 각각의 포획부(trap)의 이격 거리가 충분하여 2-비트 동작(2-bit operation) 등에 큰 문제가 발생하지 않으나, 게이트(30) 길이가 지속적으로 줄어들음(대략 $0.10\mu\text{m}$ 이하로 줄어들음)에 따라서 2-비트 특성이 계속 유지 될 수 있을지는 의문이다. 왜냐하면, 기본적으로 CHEI 방식에 의해 ONO 유전층(20)에 포획된 전하들은 일정한 산포도를 형성하게 되고 또한 시간에 따라 그 산포도는 증가하게 된다.

<24> 도 3a는 전형적인 SONOS 소자에서 프로그램 후 실리콘 질화물층에 주입된 전하의 분포를 보여주는 도면이다. 도 3b는 전형적인 SONOS 소자에서 시간(t)이 지남에 따라 주입된 전하의 재분배에 의한 리텐션(retention) 특성을 보여주는 도면이다.

<25> 도 3a를 참조하면, SONOS 소자에서 CHEI로 프로그램 후 시뮬레이션 피팅(simulation fitting)을 이용하여 실리콘 질화물층에 주입된 전하의 분포도는 도 3a에 제시된 바와 같이 얻어진다. 프레쉬 셀(fresh cell)과 프로그램된 셀(programed cell)에 대한 전하 분포가 시뮬레이션 피팅에 의해서 얻어진다. 도 3b를 참조하면, 시간이 지남에 따라 그 주입된 전하의 재분배에 의한 리텐션 특성을 보여준다. 분포 중심에서의 감쇠율(decay rate of distribution center) $N(t)$ 은 도 3b에 함께 도시된 수학적식과 같이 해석될 수 있다. 도 3b를 참조하면, t에서 t'으로 시간이 지남에 따라 분포도(distribution graph)의 높이가 낮아져 결국 산포도는 커짐을 알 수 있다.

- <26> 이러한 전하 분포도에 대해서는 공지 문헌들(Eli Lusky, Yosi Shiacham-Diamand, Ilan Bloom, and Boaz Etan, "Characterization of channel hot electron injection by the subthreshold slope of NROM Device", IEEE Electron Device Lett., vol.22, No. 11, Nov. 2001.)(Eli Lusky, Yosi Shiacham-Diamand, Ilan Bloom, and Boaz Etan, "Electron retention model for localized charge in Oxide-Nitride-Oxide(ONO) dielectric", IEEE Electron Device Lett., vol.23, No. 9, Sept. 2002.)에서 보고된 바 있다.
- <27> 또한, SONOS 소자의 프로그램 시 전자의 산포가 존재하면, 프로그램과 소거를 반복 하게 될 때 프로그램에 의한 채널(channel) 쪽 중앙 영역의 전자를 완전히 소거하지 못 하면 채널 영역에 일부 전하들이 축적되게 된다. 이러한 축적된 전하들에 의해서 소자의 내구(endurance) 특성이 나빠지게 된다. 홀에 의한 프로그램 시 소거되지 못한 홀의 축 적에 의해서도 내구 특성이 나빠질 수 있다.
- <28> 도 4a 및 도 4b는 전형적인 SONOS 소자에서 내구 특성을 설명하기 위해서 도시한 그래프(graph)들이다.
- <29> 도 4a는 전형적인 SONOS 셀의 기판 벌크와 소스를 접지시킨후, 게이트에 11V, 드레 인에 6V를 100 μ s 동안 인가하여 프로그램하고, 게이트에 0V, 드레인에 10V, 소스에 10V, 벌크에 0V를 인가하여 100 μ s 동안 전압을 인가하여 소거하는 조건으로, 쓰기 (write)와 지우기(erase)를 반복했을 때의 내구 특성 곡선이다. 셀이 온(on) 상태일 때 가 부호 41의 곡선이고 셀이 오프(off) 상태일 때가 부호 45의 곡선이다.
- <30> 도 4b는 소거 조건을 게이트에 0V, 드레인에 10V, 소스에 4V, 벌크에 0V를 인가하 는 조건으로 변화시켜, BtBT에 의해 형성된 홀이 채널 중앙부로 주입되는 효율을 높이기 위해 소스와 드레인 간의 전장(electric field)을 형성시켰을 때의 내구 특성이다. 셀

이 온(on) 상태일 때가 부호 43의 곡선이고 셀이 오프(off) 상태일 때가 부호 47의 곡선이다.

<31> 이러한 특성 결과들은 프로그램시 의 전자의 테일(tail) 산포도가 채널 중앙 영역에 일정 수준 존재함을 나타내고 있으며, 소거 시의 조건 의존성이 이를 반증한다. 물론, 이러한 프로그램, 지우기 시에 ONO 유전층 내에 전자나 홀의 분포는 SONOS 메모리 소자의 제조 공정 조건에의 최적화나 동작 전압을 적절히 조절함으로써 최소화할 수 있는 여지는 남아 있으나, 게이트 길이가 점점 줄어들어 따라서 동시에 2-비트 특성을 만족하기에는 한계가 존재하게 된다.

【발명이 이루고자 하는 기술적 과제】

<32> 본 발명이 이루고자 하는 기술적 과제는, 100nm 이하 급에서 CHEI 방식을 이용한 2-비트 SONOS 메모리 소자에서 프로그램 및 소거 동작을 수행할 때, ONO 유전층에서의 전하의 산포를 의도적으로 조절할 수 있는 SONOS 메모리 소자 제조 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<33> 상기의 기술적 과제들을 달성하기 위한 본 발명의 일 관점은, SONOS 메모리 소자의 게이트 하단의 ONO 유전층이 정확히 대칭적인 구조로 물리적으로 분리된 소노스(SONOS) 메모리 소자 제조 방법을 제공한다.

<34> 상기한 SONOS 메모리 소자 제조 방법은 기판 상에 실리콘 산화물층-실리콘 질화물층-실리콘 산화물층(ONO)의 유전층을 형성하는 단계와, 상기 유전층 상에 상기 유전층의 표면 일부를 노출하는 트렌치를 가지는 버퍼(buffer)층을 형성하는 단계와, 상기 트렌

치의 내측벽에 제1전도성 스페이서를 형성하는 단계와, 상기 제1전도성 스페이서를 식각 마스크로 상기 유전층의 노출된 부분을 선택적으로 제거하여 상기 유전층을 두 부분으로 분리하는 단계와, 상기 유전층의 분리에 의해서 노출되는 상기 기판 상에 게이트 유전층을 형성하는 단계와, 상기 게이트 유전층 상에 상기 트렌치의 양측벽 사이의 갭을 메우는 제2전도성 층을 형성하는 단계와, 상기 제1전도성 스페이서를 식각 마스크로 상기 버퍼층을 제거하는 단계, 및 상기 유전층의 상기 버퍼층의 제거에 의해서 노출되는 부분을 상기 제1전도성 스페이서를 식각 마스크로 선택적으로 제거하여 두 부분으로 분리된 상기 유전층을 패터닝하는 단계를 포함하여 구성될 수 있다.

<35> 또는, 상기 SONOS 메모리 소자 제조 방법은 기판 상에 실리콘 산화물층-실리콘 질화물층-실리콘 산화물층(ONO)의 유전층을 형성하는 단계와, 상기 유전층 상에 제1전도성 층을 형성하는 단계와, 상기 제1전도성 층 상에 상기 제1전도성 층의 표면 일부를 노출하는 트렌치를 가지는 버퍼층을 형성하는 단계와, 상기 트렌치의 내측벽에 제1절연 스페이서를 형성하는 단계와, 상기 제1절연 스페이서를 식각 마스크로 상기 제1전도성 층의 노출된 부분 및 하부의 상기 유전층 부분을 선택적으로 순차적으로 제거하여 상기 유전층을 두 부분으로 분리하는 단계와, 상기 유전층의 분리에 의해서 노출되는 상기 기판 상에 게이트 유전층을 형성하는 단계와, 상기 게이트 유전층 상에 상기 트렌치의 양측벽 사이의 갭을 메우는 제2전도성 층을 형성하는 단계와, 상기 제1절연 스페이서를 식각 마스크로 상기 버퍼층을 제거하는 단계, 및 상기 제1전도성 층의 상기 버퍼층의 제거에 의해서 노출되는 부분 및 하부의 상기 유전층 부분을 상기 제1절연 스페이서를 식각 마스크로 선택적으로 순차적으로 제거하여 두 부분으로 분리된 상기 유전층 및 상기 제1전도성 층을 패터닝하는 단계를 포함하여 구성될 수 있다.

- <36> 이때, 상기 제1절연 스페이서 및 분리되고 패터닝된 두 개의 상기 제1전도성 층들이 각각 독립적인 게이트들로 작용하는 것을 허용하도록 상기 게이트 유전층은 상기 제1절연 스페이서와 상기 제1전도성 층 사이를 절연시키도록 상기 제1절연 스페이서 상으로 연장되도록 형성될 수 있다.
- <37> 또한, 상기 게이트 유전층 부분을 노출하는 단계 이후에 상기 제조 방법은 상기 제2전도성 층 상을 덮는 캐핑 절연층을 형성하는 단계를 더 포함할 수 있다.
- <38> 또는, 상기 SONOS 소자 제조 방법은 기판 상에 실리콘 산화물층-실리콘 질화물층-실리콘 산화물층(ONO)의 유전층을 형성하는 단계와, 상기 유전층 상에 상기 유전층의 표면 일부를 노출하는 트렌치를 가지는 버퍼(buffer)층을 형성하는 단계와, 상기 트렌치의 내측벽에 제1절연 스페이서를 형성하는 단계와, 상기 제1절연 스페이서를 식각 마스크로 상기 유전층 부분을 선택적으로 제거하여 상기 유전층을 두 부분으로 분리하는 단계와, 상기 제1절연 스페이서를 선택적으로 제거하는 단계와, 상기 제1절연 스페이서의 제거에 의해서 노출되는 상기 유전층의 상측 실리콘 산화물층 부분을 선택적으로 제거하여 상기 실리콘 질화물층을 일부 노출하는 단계와, 상기 유전층의 분리에 의해서 노출된 상기 기판 상에 상기 실리콘 질화물층 상으로 연장되는 게이트 유전층을 형성하는 단계와, 상기 게이트 유전층 상에 상기 트렌치의 양측벽 사이의 갭을 메우는 전도성 층을 형성하는 단계와, 상기 전도성 층을 식각 마스크로 상기 버퍼층을 제거하는 단계, 및 상기 유전층 층의 상기 버퍼층의 제거에 의해서 노출되는 부분을 상기 전도성 층을 선택적으로 제거하여 두 부분으로 분리된 상기 유전층을 패터닝하는 단계를 포함하여 구성될 수 있다.

- <39> 이때, 상기 제1절연 스페이서는 희생층으로서 상기 버퍼층과 다른 절연 물질 또는 포토레지스트 물질로 형성될 수 있다.
- <40> 또는, 상기 SONOS 소자 제조 방법은 기판 상에 상호 간에 제1버퍼층을 형성하는 단계와, 상기 제1버퍼층에 상기 제1버퍼층과 식각 선택비를 가지고 상기 제1버퍼층의 표면 일부를 노출하는 트렌치를 가지는 제2버퍼층을 형성하는 단계와, 상기 노출된 제1버퍼층 상 및 상기 트렌치 측벽 상에 실리콘 산화물층-실리콘 질화물층-실리콘 산화물층(ONO)의 유전층을 형성하는 단계와, 상기 트렌치의 내측벽의 상기 유전층 상에 제1전도성 스페이서를 형성하는 단계와, 상기 제1전도성 스페이서를 식각 마스크로 상기 유전층 부분을 선택적으로 제거하여 상기 유전층을 두 부분으로 분리하고 순차적으로 노출되는 상기 제1버퍼층 부분을 제거하여 하부의 상기 기판 상을 노출하는 단계와, 상기 노출되는 기판 상에 게이트 유전층을 형성하는 단계와, 상기 게이트 유전층 상에 상기 트렌치의 양측벽 사이의 갭을 메우는 제2전도성 층을 형성하는 단계와, 상기 제1전도성 스페이서를 식각 마스크로 상기 버퍼층을 제거하는 단계, 및 상기 유전층의 상기 버퍼층의 제거에 의해서 노출되는 부분을 상기 제1전도성 스페이서를 식각 마스크로 선택적으로 제거하여 두 부분으로 분리된 상기 유전층을 패터닝하는 단계를 포함하여 구성될 수 있다.
- <41> 여기서, 상기한 SONOS 메모리 소자 제조 방법들은 상기 패터닝된 유전층에 의해 노출되는 상기 기판에 제1확산층을 이온 주입으로 형성하는 단계와, 상기 패터닝된 유전층 및 상기 제1전도성 스페이서 측벽에 제2절연 스페이서를 형성하는 단계, 및 상기 제2절연 스페이서를 마스크로 상기 기판에 제2확산층을 이온 주입으로 형성하는 단계를 더 포함할 수 있다. 또한, 실리사이드화(silicidation) 과정으로 상기 제1전도성 스페이서 및

상기 제2전도성 층 상에 제1실리사이드층을 선택적으로 형성하며 상기 제2확산층 상에 선택적으로 제2실리사이드층을 형성하는 단계를 더 포함할 수 있다.

<42> 이때, 상기 게이트 유전층은 열산화 또는 화학 기상 증착에 의해서 형성될 수 있다

<43> 또한, 상기 제2절연 스페이서는 화학 기상 증착 또는 열 산화에 의해서 형성되는 실리콘 산화물층 또는 실리콘 질화물층으로부터 형성될 수 있다.

<44> 또한, 제2전도성 층을 형성하는 단계는 상기 제2전도성 층을 상기 게이트 유전층 상에 상기 트렌치의 양측벽 사이의 갭을 매우도록 증착하는 단계, 및 상기 제2전도성 층을 에치 백 또는 화학 기계적 연마하여 상기 버퍼층 상으로 연장된 상기 게이트 유전층 부분을 노출하는 단계를 포함하여 구성될 수 있다.

<45> 상기 제1전도성 스페이서, 상기 제1전도성 층 또는 상기 제2전도성 층은 도전성 실리콘층을 포함하여 형성될 수 있다.

<46> 본 발명에 따르면, $0.10\mu\text{m}$ 이하의 메모리 게이트 길이에서도 안정된 2-비트 특성을 갖는 SONOS 형태의 비휘발성 메모리 소자를 구현할 수 있다.

<47> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한

요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<48> 본 발명의 실시예들에서는, 100nm의 이하 급에서 CHEI방식을 이용한 2-비트 SONOS 메모리 소자에서, 프로그램 및 소거 시에 근원적으로 생성될 수 있는 전자 및 홀의 산포를 의도적으로 조절할 수 있도록, 게이트 하단의 ONO 유전층을 물리적인 절단으로 분리하는 바를 제시한다. 이에 따라, 두개의 절단된 ONO 유전층들 사이에 형성되는 게이트 산화막의 두께를 적절히 조절함으로써 짧은 채널 현상을 줄일 수 있다.

<49> 또한, 게이트 길이가 계속해서 줄어들음에 따라서 심각해지는 게이트와 ONO 유전층 간의 정합 오차(alignment error)를 극복하기 위해서, 그리고, 한계에 다다르고 있는 포토 공정의 최소 선폭에 대한 제한을 극복하기 위해서, 또한, 게이트 하단에 형성될 분리된 ONO층들이 정확히 대칭적인 구조를 가지도록 허용하기 위해서, 스페이서(spacer)를 이용한 역자기 정합 방식(reverse self-aligning process)을 사용하여 일련의 연속 공정으로 제조되는 차세대 2-비트 SONOS 메모리 소자를 본 발명의 실시예들에서 제시한다.

<50> 본 발명의 실시예들은 크게 구조적인 측면에서 2 가지로 대별하여 설명하고자 한다. 첫 번째는 단일 게이트 구조에서 전체적인 크기는 유지하되 기존의 1 개의 연속된 ONO 유전층 구조와 달리 ONO 유전층이 분리된 형태로 형성되는 구조에 대해서 설명한다. 두 번째는 3개의 게이트 구조로서, 단일 게이트 SONOS에서의 길

이 크기는 유지되되 분리된 ONO 유전층들 상단의 게이트들과 ONO 유전층의 분리에 의한 ONO 유전층들 간의 실리콘 산화물층 상단의 중간 게이트로 구성되는 3 개의 게이트들로 삼중(triple) 게이트 구조가 구성되고, 3개의 게이트들에 각각 상이한 전압을 인가할 수 있는 구조를 제시한다.

<51> 제1실시예 : 단일 게이트 구조의 트윈 SONOS

<52> 도 5a 내지 도 5k는 본 발명의 제1실시예에 의한 트윈-ONO 형태의 SONOS 메모리 소자 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

<53> 도 5a를 참조하면, SONOS 메모리 소자를 제조하는 출발 물질(starting material)로 p-형 기판을 준비한다. 예를 들어, 도 5a에 제시된 바와 같이 SOI(Silicon(120)- On - Insulator(110)) 기판을 준비한다. 이때, SOI 기판의 실리콘층(120)은 p 도전형을 가져 실질적으로 p-형 기판으로 작용한다. 그럼에도 불구하고, 이러한 SOI 기판 외에 일반적인 실리콘 기판 또한 이용될 수 있다. 이후에, 이러한 실리콘층(120)에 활성 영역(active region)을 설정하는 필드 영역(field region)을 소자 분리 과정을 통해서 형성할 수 있다. 이러한 소자 분리 과정은 소자 분리를 위한 여러 가지 방법, 예컨대, 얇은 트렌치 소자 분리(shallow trench isolation), 자기 정렬 얇은 트렌치 소자 분리(self-aligned shallow trench isolation), 로코스(LOCOS) 등의 수행될 수 있다.

<54> 도 5b를 참조하면, 실리콘층(120)의 Si 채널 영역(channel region) 상에 ONO 유전층(Oxide-Silicon-Oxide dielectric:500)을 형성한다. ONO 유전층(500)은 알려

진 방법으로 형성될 수 있으며, 실질적으로 실리콘 산화물층(500a), 실리콘 질화물층(500b), 실리콘 산화물층(500c)이 적층되어 형성된다. 상, 하단의 산화물층(500a, 500c) 각각은 열산화막 또는 화학 기상 증착(CVD)에 의한 증착막 등으로 형성될 수 있으며, 또한, 이러한 열산화막 및 증착막의 조합으로도 구성될 수 있다. 또한, 막질의 치밀화 및 안정화를 위하여 형성 후 연속하여 열처리를 실시할 수 있다. 열처리는 대략 700 ~ 1100℃ 정도에서 수행될 수 있다.

<55> ONO 유전층 상에 버퍼층(buffer layer:600)을 전면에 형성한다. 이후에, 포토 및 식각 공정을 사용하여 버퍼층(600)이 ONO 유전층(500)의 상측 일부를 길게 길이 방향으로 노출하는 트렌치(trench:601)를 가지도록 버퍼층(600)을 패터닝한다. 식각 공정은 필요에 따라 등방성 식각 또는 이방성 식각으로 수행될 수 있다.

<56> 버퍼층(600)은 SONOS 소자의 ONO 유전층의 가운데 부분이 물리적으로 단절되게 분리하는 과정 등에서 이용되고, 연후에 필요에 따라 제거될 희생층이다. 따라서, 버퍼층(600)은 이러한 희생층으로 효과적으로 작용되기 위해서 적어도 ONO 유전층(500)에 대해서 충분한 식각 선택비를 가지며 선택적으로 제거될 수 있는 절연 물질로 형성되는 것이 바람직하다.

<57> 도 5c를 참조하면, 트렌치(601)의 내측벽에 제1전도성 스페이서(700)를 형성한다. 제1전도성 스페이서(700)는 전도성 물질을 어떤 일정 두께로 증착한 다음, 이방성 식각을 전면에서 수행하여 형성된다. 이러한 제1전도성 스페이서(700)를 구성하는 전도성 물질은 전형적인 SONOS 소자에서 게이트로 이용될 수 있는 전도성 물질, 예컨대, 도전성 다결정 또는 비정질 실리콘일 수 있다. 이러한 다결정 또는 비

정질 실리콘에 도전성을 부여하기 위해서 이온 주입을 추가로 실시하거나 또는 증착 시에 도핑(doping)을 실시할 수 있다.

<58> 도 5d를 참조하면, 제1전도성 스페이서(700)를 식각 마스크(etch mask)로 사용하여 하부의 ONO 유전층(500)의 제1전도성 스페이서(700)에 의해서 노출된 부분을 식각하여 제거한다. 이러한 식각 과정은 식각되어 제거되는 부분의 선평을 정밀히 제어할 수 있는 이방성 식각으로 수행되는 것이 바람직하다. 이때, 식각되는 부분의 선평은 트렌치(601)의 선평 및 제1전도성 스페이서(700)의 선평에 의존하게 된다. 이러한 식각 과정에 의해서 SOI 기판의 실리콘층(120)이 노출되게 된다. 이러한 과정은 실질적으로 ONO 유전층(500)의 중간 부분을 제거하여 두 부분으로 분리하는 과정에 해당된다.

<59> 도 5e를 참조하면, 실리콘층(120)을 덮는 게이트 유전층(800)을 형성한다. 예를 들어, 이러한 게이트 유전층(800)은 열산화 방식에 의한 실리콘 산화물 등으로 형성될 수 있다. 이러한 게이트 유전층(800)은 제1전도성 스페이서(700) 등의 프로파일(profile)을 따라 형성되어 제1전도성 스페이서(700) 사이에 오목한 부위(801)를 형성하도록 형성된다. 실질적으로, 이러한 게이트 유전층(800)은 본 발명의 분리된 ONO 유전층들 사이에 도입되는 게이트 산화막으로 이용될 수 있으며, 그 두께의 조절에 의해서 SONOS 소자에서 발생할 수 있는 짧은 채널 현상(short channel effect)을 줄일 수 있다.

<60> 도 5f를 참조하면, 게이트 유전층(800) 상에 오목한 부위(801), 즉, 제1전도성 스페이서(700)들 사이를 메우는 제2전도성 층을 형성한다. 이러한 제2전도성 층

은 다양한 전도 물질, 예컨대, 전도성 다결정 또는 비정질 실리콘으로 형성될 수 있다. 이러한 다결정 또는 비정질 실리콘에 도전성을 부여하기 위해서 이온 주입을 추가로 실시하거나 또는 증착 시에 도핑(doping)을 실시할 수 있다. 이후에, 양쪽의 제1전도성 스페이서(700)의 상측 표면 높이 보다 낮아 트렌치(601) 내로 한정되게 제2전도성 층(900)을 에치 백(etch back)한다. 이러한 에치 백은 이방성 식각으로 수행될 수 있다. 또는, 화학 기계적 연마(CMP:Chemical Mechanical Polishing)로 수행될 수 있다.

<61> 도 5g를 참조하면, 제2전도성 층(900)에 의해서 노출된 게이트 유전층(800) 부분을 선택적으로 제거하여 하부의 제1전도성 스페이서(700)의 상측 표면 및 버퍼층(도 5f의 600)의 상측 표면을 노출한다. 이러한 식각은 제1습식 식각으로 수행될 수 있다. 이후에, 제1전도성 스페이서(700)에 의해서 노출된 버퍼층(600)을 선택적으로 식각 제거하여 하부의 ONO 유전층(500)의 상측 표면을 노출한다. 이때, 제1전도성 스페이서(700) 및 제2전도성 층(900)과 충분한 식각 선택비를 구현하며 버퍼층(600)은 제거되는 것이 바람직하다. 예를 들어, 이러한 식각 과정은 제1습식 식각과는 다른 제2습식 식각으로 수행될 수 있다. 이에 따라, 제1전도성 스페이서(700)에 인접한 ONO 유전층(500) 부분은 노출되게 된다.

<62> 도 5h를 참조하면, 제1전도성 스페이서(700) 및 제2전도성 층(900)을 마스크로 하여 제1전도성 스페이서(700)에 의해서 노출된 ONO 유전층(500) 부분을 선택적으로 식각하여 제거한다. 이에 따라, SONOS 소자의 트윈 형태의 ONO 유전층(500)이 패터닝된다. 이러한 트윈 형태의 ONO 유전층(500)은 앞서 설명한 일련의 과정, 즉, 제1전도성 스페이서(700) 및 버퍼층(600) 등을 이용한 역자기 정합 과정에 의해서 상호간에 대칭적인 구조로 형성된다. 트윈 형태의 두 ONO 유전층(500) 사이에는 게이트 유전층(800)이 위치하

게 되므로, 실질적으로 ONO 유전층(500)은 그 가운데 영역이 물리적으로 단절되어 분리된 형태를 가지게 된다.

<63> 도 5i를 참조하면, 트윈 ONO 유전층(500)의 패터닝에 의해서 노출되는 SOI 기판의 실리콘층(120)에 제1확산층(121)을 이온 주입을 통하여 형성한다. 이러한 제1확산층(121)은 실리콘층(120)이 p형 기판일 때 n형 불순물로 도핑(doping)될 수 있고, 실리콘층(120)이 n형 기판일 때 p형 불순물로 도핑될 수 있다.

<64> 도 5j를 참조하면, 제2절연 스페이서(750)를 노출된 제1전도성 스페이서(700)의 노출된 측벽에 형성한다. 이러한 제2절연 스페이서(750)는 절연 물질, 예컨대, 실리콘 질화물을 증착하고 이방성 식각하는 과정을 통해서 형성된다. 이러한 제2절연 스페이서(750)를 이온 주입 마스크로 이용하여 노출된 실리콘층(120)에 제2확산층(125)을 이온 주입을 통하여 형성한다. 이러한 제1 및 제2확산층(121, 125)은 SONOS 메모리 셀의 소스 및 드레인 정선으로 이용된다.

<65> 도 5k를 참조하면, 제1전도성 스페이서(700) 및 제2전도성 층(900)을 전기적으로 연결하는 제1실리사이드층(910) 및 제1 및 제2확산층(121, 125)에 전기적으로 연결되는 제2실리사이드층(920)을 형성한다. 이러한 제1 및 제2실리사이드층(910, 920)은 제1전도성 스페이서(700) 및 제2전도성 층(900)이 바람직하게 전도성 다결정 실리콘으로 형성되었을 경우 실리사이드화 공정(silicidation process)을 통해서 선택적으로 형성된다.

<66> 이후의 일련의 공정은 일반적인 반도체 소자 제조 공정 순서를 따를 수 있다.

<67> 이제까지의 도 5a 내지 도 5k를 참조하여 설명한 바와 같은 과정에 의해서, 도 5k에 제시된 바와 같이 가운데 부분이 분리되고 분리된 양쪽이 대칭적인 트윈 ONO 유전층

(500) 구조를 구현할 수 있다. 이에 따라, ONO 유전층(500) 내에서 프로그램 및 소거 시에 생성될 수 있는 전자 및 홀의 산포를 의도적으로 조절할 수 있다. 또한, 절단된 두 개의 ONO 유전층(500) 사이에 형성된 게이트 유전층(800) 부분은 제2전도성 층(900)에 대해서 게이트 산화막으로 작용할 수 있는 데, 이러한 게이트 유전층(800)의 두께를 ONO 유전층(500)의 두께와는 독립적으로 조절할 수 있다. 이에 따라, 게이트 유전층(800), 즉, 게이트 산화막의 두께의 적절한 조절이 가능하고 이에 따라 짧은 채널 현상을 효과적으로 줄일 수 있다.

<68> 더욱이, 도 5a 내지 도 5k를 참조하여 설명한 제조 방법은 역자기 정합 과정에 따라 수행되는 것이다. 따라서, 포토 공정의 한계를 극복하여 상호간에 대칭적인 트윈 ONO 유전층(500) 구조를 효과적으로 형성할 수 있다. 따라서, 포토 공정의 최소 선폭에 제한을 극복할 수 있다.

<69> 제2실시예 : 삼중 게이트 구조의 트윈 SONOS

<70> 제2실시예에서는 제1실시예에서와는 달리 삼중 게이트 구조가 형성된다. 제2실시예에서 제1실시예에서와 동일한 부호로 인용되는 부재는 실질적으로 동일한 부재로 해석될 수 있다.

<71> 도 6a 내지 도 6j는 본 발명의 제2실시예에 의한 트윈-ONO 형태의 SONOS 메모리 소자 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

<72> 도 6a를 참조하면, SONOS 메모리 소자를 제조하는 출발 물질(starting material)로 도 5a를 참조하여 설명한 바와 마찬가지로 SOI(Silicon(120)- On - Insulator(110)) 기

판을 준비한다. 연후에, 도 5b를 참조하여 설명한 바와 마찬가지로, 실리콘층(120)의 Si 채널 영역 상에 실제 소자의 메모리로 사용될 ONO 유전층(500)을 형성한다.

<73> ONO 유전층(500) 상에 제1전도성 층(550)을 형성한다. 이러한 제1전도성 층(550)은 다양한 도전 물질로 형성될 수 있으며, 예를 들어, 도전성 다결정 실리콘을 포함하여 형성될 수 있다. 제1전도성 층(550) 상에 도 5b를 참조하여 설명한 바와 같이 버퍼층(600)을 전면에서 형성한다. 이후에, 포토 및 식각 공정을 사용하여 버퍼층(600)이 제1전도성 층(550)의 상측 일부를 길게 길이 방향으로 노출하는 트렌치(601)를 가지도록 버퍼층(600)을 패터닝한다.

<74> 도 6b를 참조하면, 트렌치(601)의 내측벽에 제1절연 스페이서(710)를 형성한다. 제1절연 스페이서(710)는 버퍼층(600)을 이루는 절연 물질과 충분한 식각 선택비를 구현할 수 있도록 버퍼층(600)과는 다른 절연 물질로 형성되는 것이 바람직하다. 제1절연 스페이서(710)는 절연 물질을 어떤 일정 두께로 증착한 다음, 이방성 식각을 전면에서 수행하여 형성된다.

<75> 도 6c를 참조하면, 제1절연 스페이서(710)를 식각 마스크로 사용하여 하부의 ONO 유전층(500)의 제1절연 스페이서(710)에 의해서 노출된 부분을 식각하여 제거한다. 이러한 식각 과정은 식각되어 제거되는 부분의 선폴을 정밀히 제어할 수 있는 이방성 식각으로 수행되는 것이 바람직하다. 이때, 식각되는 부분의 선폴은 트렌치(601)의 선폴 및 제1절연 스페이서(710)의 선폴에 의존하게 된다. 이러한 식각 과정에 의해서 SOI 기판의 실리콘층(120)이 노출되게 된다.

<76> 도 6d를 참조하면, 실리콘층(120)을 덮는 게이트 유전층(800)을 도 5e를 참조하여 설명한 바와 마찬가지로 오목한 부위(801)를 가지도록 형성한다.

- <77> 도 6e를 참조하면, 게이트 유전층(800) 상에 오목한 부위(801), 즉, 제1절연 스페이서(710)들 사이를 메우는 제2전도성 층(900)을 도 5f를 참조하여 설명한 바와 마찬가지로 형성한다. 이때, 제2전도성 층(900)을 증착한 연후에 에치 백을 실시하여 그 높이를 트렌치(601)로 한정되게 낮추고 제2전도성 층(900)의 양쪽으로 게이트 유전층(800)이 노출되도록 한다.
- <78> 도 6f를 참조하면, 노출된 게이트 유전층(800)과 연결되어 제2전도성 층(900)의 상측 표면을 덮는 캐핑(capping) 절연층(950)을 형성한다. 이러한 캐핑 절연층(950)은 제2전도성 층(900)이 바람직하게 도전성 다결정 실리콘으로 이루어졌을 때, 제2전도성 층(900)의 상측 표면의 일정 깊이를 산화시켜 일정 두께의 캐핑 절연층(950)이 형성될 수 있다.
- <79> 도 6g를 참조하면, 캐핑 절연층(950)의 양쪽으로 노출된 게이트 유전층(800) 부분을 선택적으로 제거하여 하부의 제1절연 스페이서(710)의 상측 표면 및 버퍼층(도 6f의 600)의 상측 표면을 노출한다. 이러한 식각은 제1습식 식각으로 수행될 수 있다.
- 이후에, 제1절연 스페이서(710) 등에 의해서 노출된 버퍼층(600)을 선택적으로 식각 제거하여 하부의 제1전도성 층(550)의 상측 표면을 노출한다. 이때, 제1전연 스페이서(710) 및 캐핑 절연층(950)과 충분한 식각 선택비를 구현하며 노출된 버퍼층(600) 부분은 선택적으로 제거되는 것이 바람직하다. 예를 들어, 이러한 식각 과정은 제1습식 식각과는 다른 제2습식 식각으로 수행될 수 있다.
- <80> 도 6h를 참조하면, 제1절연 스페이서(710)를 식각 마스크로 하여 제1절연 스페이서(710)에 의해서 노출된 제1전도성 층(550) 부분을 선택적으로 제거하여 제1전성

층(550)을 패터닝한다. 패터닝된 제1전도성 층(550) 부분은 각각 제1게이트(551) 및 제2게이트(553)의 역할을 하게 된다.

<81> 제1게이트(551) 및 제2게이트(553)에 인접하여 순차적으로 노출되는 ONO 유전층(500) 부분을 선택적으로 식각하여 제거한다. 이에 따라, 도 5h를 참조하여 설명한 바와 마찬가지로 SONOS 소자의 트윈 형태의 ONO 유전층(500)이 패터닝된다. 연후에, 도 5i를 참조하여 설명한 바와 마찬가지로, 트윈 ONO 유전층(500)의 패터닝에 의해서 노출되는 SOI 기판의 실리콘층(120)에 제1확산층(121)을 이온 주입을 통하여 형성한다.

<82> 도 6i를 참조하면, 제2절연 스페이서(750)를 노출된 제1절연 스페이서(710)의 노출된 측벽 및 제1 및 제2 게이트(551, 553)의 측벽에 형성한다. 이러한 제2절연 스페이서(750)는 절연 물질을 증착하고 이방성 식각하는 과정을 통해서 형성된다. 노출된 실리콘층(120)에 제2확산층(125)을 이온 주입을 통하여 형성한다. 이후에, 제2전도성 층(900) 상측에 잔류할 수 있는 캐핑 절연층(도 6h의 950)을 선택적으로 제거하여 제2전도성 층(900)의 상측 표면을 노출한다. 제2전도성 층(900)은 제1 및 제2게이트(551, 553)와는 독립적인 제3게이트로 역할하게 된다.

<83> 도 6j를 참조하면, 제2전도성 층(900)에 전기적으로 연결하는 제3실리사이드층(960) 및 제1 및 제2확산층(121, 125)에 전기적으로 연결되는 제2실리사이드층(920)을 형성한다. 이러한 제3 및 제2실리사이드층(960, 920)은 제2전도성 층(900)이 바람직하게 전도성 다결정 실리콘으로 형성되었을 경우 실리사이드화 공정(silicidation process)을 통해서 선택적으로 형성된다.

<84> 이후의 일련의 공정은 일반적인 반도체 소자 제조 공정 순서를 따를 수 있다.

<85> 이제까지의 도 6a 내지 도 6j를 참조하여 설명한 바와 같은 과정에 의해서, 도 6j에 제시된 바와 같이 가운데 부분이 분리되고 분리된 양쪽이 대칭적인 트윈 ONO 유전층(500) 구조를 구현할 수 있으며, 이와 함께, 3 개의 독립적인 게이트들의 구조를 구현할 수 있다.

<86> 제3실시예 : 제1변형된 단일 게이트 구조의 트윈 SONOS

<87> 제3실시예에서는 제1실시예에서와는 달리 변형된 단일 게이트 구조가 형성된다. 제3실시예에서 제1실시예에서와 동일한 부호로 인용되는 부재는 실질적으로 동일한 부재로 해석될 수 있다.

<88> 도 7a 내지 도 7k는 본 발명의 제3실시예에 의한 트윈-ONO 형태의 SONOS 메모리 소자 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

<89> 도 7a를 참조하면, SONOS 메모리 소자를 제조하는 출발 물질(starting material)로 도 5a를 참조하여 설명한 바와 마찬가지로 SOI(Silicon(120)- On - Insulator(110)) 기판을 준비한다. 연후에, 제1버퍼층(630) 및 제2버퍼층(600)을 형성한다. 제2버퍼층(600)은 도 5b를 참조하여 설명한 바와 마찬가지로 후속될 ONO 유전층(500)을 패터닝할 목적으로 희생층으로 도입된다. 제1버퍼층(630)은 제2버퍼층(600)의 패터닝 또는 제거 시에 하부의 실리콘층(120)에 침해가 발생하는 것을 방지하는 역할을 하도록 도입된다. 이러한 제2버퍼층(600)은 패드(pad)층 또는 식각 종료층(etch stopper) 등으로 역할할 수 있다. 따라서, 제1버퍼층(630)은 제2버퍼층(600)과 식각 선택비를 가질 수 있도록 제2버퍼층(600)과 다른 절연 물질로 형성될 수 있다.

- <90> 이후에, 제2버퍼층(600)을 이방성 식각 등으로 패터닝하여 도 5b를 참조하여 설명한 바와 마찬가지로 트렌치(601)를 형성한다.
- <91> 도 7b를 참조하면, 제2버퍼층(600)의 트렌치(601) 바닥에 잔류할 수 있는 제1버퍼층(도 7a의 630) 부분을 습식 식각 등으로 제거하여 하부의 실리콘층(120) 상을 노출한다. 이후에, 실리콘층(120)의 Si 채널 영역 상과 제2버퍼층(600)의 트렌치(601) 측벽 상에 실제 소자의 메모리로 사용될 ONO 유전층(500)을 적층하여 형성한다. 이때, ONO 유전층(500)은 알려진 방법으로 형성될 수 있으며, 실질적으로 상, 하단의 실리콘 산화물층(500a, 500c) 각각은 도 5b를 참조하여 설명한 바와 마찬가지로 열산화막 또는 화학 기상 증착(CVD)에 의한 증착막 등으로 형성될 수 있다.
- <92> 도 7c를 참조하면, 트렌치(601)의 내측벽 상의 ONO 유전층(500) 상에 제1전도성 스페이서(700)를 도 5c를 참조하여 설명한 바와 마찬가지로 형성한다.
- <93> 도 7d를 참조하면, 제1전도성 스페이서(700)를 식각 마스크(etch mask)로 사용하여 하부의 ONO 유전층(500)의 제1전도성 스페이서(700)에 의해서 노출된 부분을 선택적으로 식각하여 제거한다. 이러한 식각 과정은 도 5d를 참조하여 설명한 바와 마찬가지로 이방성 식각으로 수행되는 것이 바람직하다. 이러한 식각 과정에 의해서 SOI 기판의 실리콘층(120)이 노출되게 된다.
- <94> 도 7e를 참조하면, 노출된 실리콘층(120)을 덮는 게이트 유전층(800)을 도 5e를 참조하여 설명한 바와 마찬가지로 오목한 부위(801)를 가지도록 형성한다. 이때, 게이트 유전층(800)은 이전 도 7d를 참조하여 설명한 식각 과정에서 노출될 수 있는 제2버퍼층(600) 상으로 연장될 수 있다.

- <95> 도 7f를 참조하면, 게이트 유전층(800) 상에 오목한 부위(801), 즉, 제1전도성 스페이서(700)들 사이의 갭(gap)을 메우는 제2전도성 층(900)을 도 5f를 참조하여 설명한 바와 마찬가지로 형성한다.
- <96> 도 7g를 참조하면, 제2전도성 층(900)에 의해서 노출된 게이트 유전층(800) 부분을, 도 5g를 참조하여 설명한 바와 마찬가지로, 선택적으로 제1습식 식각으로 제거하여 하부의 제1전도성 스페이서(700)의 상측 표면 및 버퍼층(도 7f의 600)의 상측 표면을 노출한다. 이후에, 제1전도성 스페이서(700)에 의해서 노출된 제2버퍼층(600)을 도 5g를 참조하여 설명한 바와 마찬가지로 선택적으로 제2습식 식각 제거한다. 이때, 제2버퍼층(600)이 바람직하게 실리콘 질화물 등과 같이 ONO 유전층(500)의 실리콘 질화물층(500b)과 유사한 절연 물질로 형성되었을 경우 제2버퍼층(600)의 제거와 함께 노출되는 ONO 유전층(500)의 실리콘 질화물층(500b)의 일부 또한 제거된다. 그럼에도 불구하고, 실질적으로 SONOS 소자에서 ONO 유전층(500)으로 작용할 부분은 ONO 유전층(500)의 상측 실리콘 산화물층(500c)에 의해서 보호되어 잔존된다.
- <97> 도 7h를 참조하면, 제1전도성 스페이서(700) 및 제2전도성 층(900)을 마스크로 하여 제1전도성 스페이서(700)에 의해서 노출된 ONO 유전층(500) 부분, 즉, ONO 유전층(500)의 하측 실리콘 산화물층(530a)의 일부 및 잔류하는 제1버퍼층(630) 부분을 선택적으로 식각하여 제거한다. 이에 따라, SONOS 소자의 트윈 형태의 ONO 유전층(500)이 패터닝된다. 이와 같이 패터닝된 ONO 유전층(500)은 제1실시예에서와 달리 ONO 유전층(500)의 상측 실리콘 산화물층(500c)이 제1전도성 스페이서(700)의 측벽에 연장된 상태를 유지할 수 있다. 그럼에도 불구하고, SONOS 소자에서의 ONO 유전층(500)으로 작용하는 점을 제1실시예에서와 실질적으로 동일하다.

- <98> 도 7i를 참조하면, 트윈 ONO 유전층(500)의 패터닝에 의해서 노출되는 SOI 기판의 실리콘층(120)에 도 5i를 참조하여 설명한 바와 마찬가지로 제1확산층(121)을 이온 주입을 통하여 형성한다.
- <99> 도 7j를 참조하면, 제2절연 스페이서(750)를 제1전도성 스페이서(700)의 측벽으로 연장된 상태인 ONO 유전층(500)의 상측 실리콘 산화물층(500c) 상에 도 5j를 참조하여 설명한 바와 마찬가지로 형성한다. 이후에, 이러한 제2절연 스페이서(750)를 이온 주입 마스크로 이용하여 노출된 실리콘층(120)에 제2확산층(125)을 도 5j를 참조하여 설명한 바와 마찬가지로 형성한다.
- <100> 도 7k를 참조하면, 제1전도성 스페이서(700) 및 제2전도성 층(900)을 전기적으로 연결하는 제1실리사이드층(910) 및 제1 및 제2확산층(121, 125)에 전기적으로 연결되는 제2실리사이드층(920)을 도 5k를 참조하여 설명한 바와 마찬가지로 형성한다.
- <101> 이후의 일련의 공정은 일반적인 반도체 소자 제조 공정 순서를 따를 수 있다.
- <102> 이제까지의 도 7a 내지 도 7k를 참조하여 설명한 바와 같은 과정에 의해서, 도 7k에 제시된 바와 같이 가운데 부분이 분리되고 분리된 양쪽이 대칭적인 트윈 ONO 유전층(500) 구조를 구현할 수 있다.
- <103> 제4실시예 : 제2변형된 단일 게이트 구조의 트윈 SONOS
- <104> 제4실시예에서는 제1 및 제3실시예에서와는 달리 변형된 단일 게이트 구조가 형성된다. 제4실시예에서 제1실시예에서와 동일한 부호로 인용되는 부재는 실질적으로 동일한 부재로 해석될 수 있다.

- <105> 도 8a 내지 도 8j는 본 발명의 제4실시예에 의한 트윈-ONO 형태의 SONOS 메모리 소자 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.
- <106> 도 8a를 참조하면, SONOS 메모리 소자를 제조하는 출발 물질(starting material)로 도 5a를 참조하여 설명한 바와 마찬가지로 SOI(Silicon(120)- On - Insulator(110)) 기판을 준비한다. 이후에, 도 5b를 참조하여 설명한 바와 마찬가지로 ONO 유전층(500)을 형성하고, 그 상에 트렌치(601)를 가지는 버퍼층(600)을 형성한다. 연후에, 트렌치(601)의 내측벽에 제1절연 스페이서(770)를 형성한다. 이때, 제1절연 스페이서(770)는 도 5c의 제1전도성 스페이서(700)와는 달리 절연 물질 또는 포토레지스트(photoresist) 물질 등으로 형성될 수 있다. 이러한 제1절연 스페이서(770)는 제2실시예의 제1절연 스페이서(710)와는 달리 희생층으로 도입된다.
- <107> 도 8b를 참조하면, 제1절연 스페이서(770)를 식각 마스크(etch mask)로 사용하여 도 5d를 참조하여 하여 설명한 바와 유사하게 하부의 ONO 유전층(500)의 제1절연 스페이서(770)에 의해서 노출된 부분을 식각하여 제거하여 ONO 유전층(500)을 두 부분으로 분리한다.
- <108> 도 8c를 참조하면, 제1절연 스페이서(770)를 제거한다.
- <109> 도 8d를 참조하면, 버퍼층(600)을 식각 마스크로 제1절연 스페이서(770)의 제거에 의해서 노출되는 상단의 실리콘 산화물층(500c) 부분을 선택적으로 제거하여 하부의 실리콘 질화물층(500b)의 일부를 노출한다.

- <110> 도 8e를 참조하면, 노출된 실리콘층(120)을 덮는 게이트 유전층(800)을 도 5e를 참조하여 설명한 바와 유사하게 형성한다. 예를 들어, 이러한 게이트 유전층(800)은 열산화 방식에 의한 실리콘 산화물 등으로 형성될 수 있다.
- <111> 도 8f를 참조하면, 게이트 유전층(800) 상에 버퍼층(600) 간의 갭을 메우는 전도성 층(930)을 형성한다. 이러한 전도성 층(930)은 다양한 전도 물질, 예컨대, 전도성 다결정 실리콘으로 형성될 수 있다. 트렌치(601) 내로 한정되게 전도성 층(930)을 에치 백 또는 CMP한다.
- <112> 도 8g를 참조하면, 전도성 층(930)에 의해서 노출된 게이트 유전층(800) 부분을 도 5g를 참조하여 설명한 바와 유사하게 선택적으로 제거하여 버퍼층(도 8f의 600)의 상측 표면을 노출한다. 이러한 식각은 제1습식 식각으로 수행될 수 있다. 이후에, 노출된 버퍼층(600)을 도 5g를 참조하여 설명한 바와 유사하게 선택적으로 제2습식 식각 제거하여 하부의 ONO 유전층(500)의 상측 표면을 노출한다.
- <113> 도 8h를 참조하면, 전도성 층(930) 및 게이트 유전층(800)을 식각 마스크로 하여 노출된 ONO 유전층(500) 부분을 선택적으로 식각하여 제거한다. 이에 따라, SONOS 소자의 트윈 형태의 ONO 유전층(500')이 패터닝된다. 이때, 이러한 트윈 형태의 ONO 유전층(500')은 실질적으로 잔류하는 게이트 유전층의 일부(800a), 실리콘 질화물층(500b), 및 하단의 실리콘 산화물층(500a)으로 새로이 구성된다.
- <114> 도 8i를 참조하면, 트윈 ONO 유전층(500')의 패터닝에 의해서 노출되는 SOI 기판의 실리콘층(120)에 도 5i를 참조하여 설명한 바와 같이 제1확산층(121)을 이온 주입을 통하여 형성한다.

- <115> 도 8j를 참조하면, 제2절연 스페이서(750)를 게이트 유전층(800)의 노출된 측벽에 형성한다. 이러한 제2절연 스페이서(750)는 절연 물질, 예컨대, 실리콘 질화물을 증착하고 이방성 식각하는 과정을 통해서 형성된다. 이러한 제2절연 스페이서(750)를 이온 주입 마스크로 이용하여 노출된 실리콘층(120)에 도 5j를 참조하여 설명한 바와 유사하게 제2확산층(125)을 이온 주입을 통하여 형성한다.
- <116> 이에 따라, 전도성 층(930)으로 게이트가 구성되고 가운데 중간 부위가 분리된 트윈 ONO 유전층(500')을 포함하는 SONOS 셀이 구성된다. 이후의 일련의 공정은 일반적인 반도체 소자 제조 공정 순서를 따를 수 있다.
- <117> 이제까지 설명한 본 발명의 실시예들에서는 CHEI방식을 이용한 2-비트 SONOS 메모리 소자는 게이트 하단의 ONO 유전층을 역스페이서(reverse spacer)를 이용하여 물리적인 절단하여 제조될 수 있다. ONO 유전층이 트윈 형태로 둘로 분리됨으로써, 근원적으로 생성되는 프로그램 및 소거 시에 생성될 수 있는 전자 및 홀의 산포를 의도적으로 조절할 수 있으며, 동시에 두개의 절단된 ONO 유전층들 사이에 형성되는 게이트 유전층의 두께를 적절히 조절함으로써 짧은 채널 현상을 줄일 수 있다.
- <118> 도 9a 및 도 9b는 본 발명의 실시예들에 의한 트윈-ONO 형태의 SONOS 메모리 소자의 효과를 설명하기 위해서 시뮬레이션한 전하 산포를 도시한 도면들이다.
- <119> 도 9a 및 도 9b는 모두 $0.12\mu\text{m}$ 게이트 길이 구조에서 각각 게이트에 5V, 드레인에 3V를 인가한 후(나머지 전압 조건은 모두 접지 조건이다) $1\mu\text{s}$ 스트레스(stress)를 인가한 후, 즉, 프로그램을 수행한 후, 포획(trap)된 전하의 산포를 시뮬레이션을 통해서 측정한 결과들을 도시한 것이다.

- <120> 도 9a는 본 발명의 실시예에 따라 분리된 ONO 유전층 구조, 즉, ONO 400Å/O 400Å/ONO 400Å의 3 부분으로 나뉜 유전층 구조에서 측정된 결과이고, 도 9b는 도 9a의 결과를 비교 평가하기 위해서 종래의 경우에 따라 ONO 유전층이 게이트 하단에서 끊김없이 연장된 구조, 즉, ONO 400Å인 유전층 구조에서 측정된 결과이다.
- <121> 도 9b는 짧은 채널 특성에 의해 $0.12\mu\text{m}$ 의 짧은 채널 길이에서 의해 포획된 전하의 넓은 산포를 보여주고 있으나, 도 9a는 물리적인 ONO 유전층의 분리에 의해서 프로그램된 전하의 산포를 인공적으로 조절할 수 있음을 보여준다. 도 9b의 꼬리 형태의 전하들(tailed charges)은 2비트 동작에 문제점들을 유발한다. 또한, 쓰기와 지우기를 반복함에 따라서 남아 있는 정션 사이의 채널 중앙 영역에 전하들이 축적되어, 축적된 전하들에 의해서 내구 특성이 열화 될 뿐만 아니라, 프로그램 이후 읽기 시에도 시간에 따라 에지(edge) 영역의 전하들이 채널 영역으로의 전하 재분포를 일으키므로 리텐션(retention) 특성이 열화된다. 이에 반해 도 9a의 결과는 이러한 종래의 문제점들을 본 발명의 실시예들이 개선할 수 있음을 보여준다.
- <122> 한편, 본 발명의 실시예들은 트렌치를 가지는 버퍼층을 이용하여 역전된 형태의 스페이서(reverse spacer)를 이용함으로써, 게이트 길이 방향의 크기를 증가시키지 않으면서도 스페이서 밑에 형성될 ONO 유전층을 정확히 대칭적인 구조로 트윈 형상으로 분리 형성할 수 있다. 이에 따라, 포토 공정의 패턴 제한을 받지 않고 역자기 정합 방식으로 1개의 게이트에 2개의 ONO 유전층을 가지는 2비트 SONOS 소자를 제조할 수 있다. 또한, 게이트 형성 후에 게이트 양 측벽에 절연 스페이서를 형성 후 실리사이드화(silicidation)를 실시하여 게이트 및 확산 영역의 저항을 낮출 수 있다.

<123> 따라서, $0.10\mu\text{m}$ 이하의 메모리 게이트 길이에서도 안정된 2-비트 특성을 갖는 SONOS 형태의 비휘발성 메모리 소자를 구현할 수 있다.

<124> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

【발명의 효과】

<125> 상술한 본 발명에 따르면, $0.10\mu\text{m}$ 이하의 메모리 게이트 길이에서도 안정된 2-비트 특성을 갖는 SONOS 형태의 비휘발성 메모리 소자를 구현할 수 있다.

【특허청구범위】**【청구항 1】**

기판 상에 실리콘 산화물층-실리콘 질화물층-실리콘 산화물층(ONO)의 유전층을 형성하는 단계;

상기 유전층 상에 상기 유전층의 표면 일부를 노출하는 트렌치를 가지는 버퍼(buffer)층을 형성하는 단계;

상기 트렌치의 내측벽에 제1전도성 스페이서를 형성하는 단계;

상기 제1전도성 스페이서를 식각 마스크로 상기 유전층의 노출된 부분을 선택적으로 제거하여 상기 유전층을 두 부분으로 분리하는 단계;

상기 유전층의 분리에 의해서 노출되는 상기 기판 상에 게이트 유전층을 형성하는 단계;

상기 게이트 유전층 상에 상기 트렌치의 양측벽 사이의 갭을 메우는 제2전도성 층을 형성하는 단계;

상기 제1전도성 스페이서를 식각 마스크로 상기 버퍼층을 제거하는 단계; 및

상기 유전층의 상기 버퍼층의 제거에 의해서 노출되는 부분을 상기 제1전도성 스페이서를 식각 마스크로 선택적으로 제거하여 두 부분으로 분리된 상기 유전층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 2】

제1항에 있어서, 상기 게이트 유전층은 열산화 또는 화학 기상 증착에 의해서 형성되는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 3】

제1항에 있어서, 제2전도성 층을 형성하는 단계는

상기 제2전도성 층을 상기 게이트 유전층 상에 상기 트렌치의 양측벽 사이의 갭을 매우도록 증착하는 단계; 및

상기 제2전도성 층을 에치 백 또는 화학 기계적 연마하여 상기 버퍼층 상으로 연장된 상기 게이트 유전층 부분을 노출하는 단계를 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 4】

제1항에 있어서,

상기 패터닝된 유전층에 의해 노출되는 상기 기판에 제1확산층을 이온 주입으로 형성하는 단계;

상기 패터닝된 유전층 및 상기 제1전도성 스페이서 측벽에 제2절연 스페이서를 형성하는 단계; 및

상기 제2절연 스페이서를 마스크로 상기 기판에 제2확산층을 이온 주입으로 형성하는 단계를 더 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 5】

제4항에 있어서, 상기 제2절연 스페이서는

화학 기상 증착 또는 열 산화에 의해서 형성되는 실리콘 산화물층 또는 실리콘 질화물층으로부터 형성되는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 6】

제4항에 있어서,

실리사이드화(silicidation) 과정으로 상기 제1전도성 스페이서 및 상기 제2전도성 층 상에 제1실리사이드층을 선택적으로 형성하며 상기 제2확산층 상에 선택적으로 제2실리사이드층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 7】

제6항에 있어서,

상기 제1전도성 스페이서 및 상기 제2전도성 층은 도전성 실리콘층을 포함하여 형성되는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 8】

기판 상에 실리콘 산화물층-실리콘 질화물층-실리콘 산화물층(ONO)의 유전층을 형성하는 단계;

상기 유전층 상에 제1전도성 층을 형성하는 단계;

상기 제1전도성 층 상에 상기 제1전도성 층의 표면 일부를 노출하는 트렌치를 가지는 버퍼층을 형성하는 단계;

상기 트렌치의 내측벽에 제1절연 스페이서를 형성하는 단계;

상기 제1절연 스페이서를 식각 마스크로 상기 제1전도성 층의 노출된 부분 및 하부의 상기 유전층 부분을 선택적으로 순차적으로 제거하여 상기 유전층을 두 부분으로 분리하는 단계;

상기 유전층의 분리에 의해서 노출되는 상기 기판 상에 게이트 유전층을 형성하는 단계;

상기 게이트 유전층 상에 상기 트렌치의 양측벽 사이의 갭을 메우는 제2전도성 층을 형성하는 단계;

상기 제1절연 스페이서를 식각 마스크로 상기 버퍼층을 제거하는 단계; 및

상기 제1전도성 층의 상기 버퍼층의 제거에 의해서 노출되는 부분 및 하부의 상기 유전층 부분을 상기 제1절연 스페이서를 식각 마스크로 선택적으로 순차적으로 제거하여 두 부분으로 분리된 상기 유전층 및 상기 제1전도성 층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 9】

제8항에 있어서,

상기 제1절연 스페이서 및 분리되고 패터닝된 두 개의 상기 제1전도성 층들이 각각 독립적인 게이트들로 작용하는 것을 허용하도록 상기 게이트 유전층은 상기 제1절연 스페이서와 상기 제1전도성 층 사이를 절연시키도록 상기 제1절연 스페이서 상으로 연장되는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 10】

제8항에 있어서, 제2전도성 층을 형성하는 단계는

상기 제2전도성 층을 상기 게이트 유전층 상에 상기 트렌치의 양측벽 사이의 갭을 메우도록 증착하는 단계; 및

상기 제2전도성 층을 에치 백 또는 화학 기계적 연마하여 상기 버퍼층 상으로 연장된 상기 게이트 유전층 부분을 노출하는 단계를 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 11】

제8항에 있어서, 상기 게이트 유전층 부분을 노출하는 단계 이후에

상기 제2전도성 층 상을 덮는 캐핑 절연층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 12】

제8항에 있어서,

상기 패터닝된 유전층에 의해 노출되는 상기 기판에 제1확산층을 이온 주입으로 형성하는 단계;

상기 패터닝된 유전층 및 상기 제1전도성 층 측벽에 제2절연 스페이서를 형성하는 단계; 및

상기 제2절연 스페이서를 마스크로 상기 기판에 제2확산층을 이온 주입으로 형성하는 단계를 더 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 13】

제12항에 있어서,

실리사이드화 과정으로 상기 제2확산층 상에 선택적으로 제2실리사이드층을 형성하며 상기 제2전도성 층 상에 제3실리사이드층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 14】

제13항에 있어서,

상기 제1전도성 층 및 상기 제2전도성 층은 도전성 실리콘층을 포함하여 형성되는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 15】

기판 상에 실리콘 산화물층-실리콘 질화물층-실리콘 산화물층(ONO)의 유전층을 형성하는 단계;

상기 유전층 상에 상기 유전층의 표면 일부를 노출하는 트렌치를 가지는 버퍼(buffer)층을 형성하는 단계;

상기 트렌치의 내측벽에 제1절연 스페이서를 형성하는 단계;

상기 제1절연 스페이서를 식각 마스크로 상기 유전층 부분을 선택적으로 제거하여 상기 유전층을 두 부분으로 분리하는 단계;

상기 제1절연 스페이서를 선택적으로 제거하는 단계;

상기 제1절연 스페이서의 제거에 의해서 노출되는 상기 유전층의 상측 실리콘 산화물층 부분을 선택적으로 제거하여 상기 실리콘 질화물층을 일부 노출하는 단계;

상기 유전층의 분리에 의해서 노출된 상기 기판 상에 상기 실리콘 질화물층 상으로 연장되는 게이트 유전층을 형성하는 단계;

상기 게이트 유전층 상에 상기 트렌치의 양측벽 사이의 갭을 메우는 전도성 층을 형성하는 단계;

상기 전도성 층을 식각 마스크로 상기 버퍼층을 제거하는 단계; 및

상기 유전층 층의 상기 버퍼층의 제거에 의해서 노출되는 부분을 상기 전도성 층을 선택적으로 제거하여 두 부분으로 분리된 상기 유전층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 16】

제15항에 있어서,

상기 제1절연 스페이서는 희생층으로서 상기 버퍼층과 다른 절연 물질 또는 포토레지스트 물질로 형성되는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 17】

제15항에 있어서,

상기 패터닝된 유전층에 의해 노출되는 상기 기판에 제1확산층을 이온 주입으로 형성하는 단계;

상기 패터닝된 유전층 및 상기 제1전도성 스페이서 측벽에 제2절연 스페이서를 형성하는 단계; 및

상기 제2절연 스페이서를 마스크로 상기 기판에 제2확산층을 이온 주입으로 형성하는 단계를 더 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 18】

기판 상에 상호 간에 제1버퍼층을 형성하는 단계;

상기 제1버퍼층에 상기 제1버퍼층과 식각 선택비를 가지고 상기 제1버퍼층의 표면 일부를 노출하는 트렌치를 가지는 제2버퍼층을 형성하는 단계;

상기 노출된 제1버퍼층 상 및 상기 트렌치 측벽 상에 실리콘 산화물층-실리콘 질화물층-실리콘 산화물층(ONO)의 유전층을 형성하는 단계;

상기 트렌치의 내측벽의 상기 유전층 상에 제1전도성 스페이서를 형성하는 단계;

상기 제1전도성 스페이서를 식각 마스크로 상기 유전층 부분을 선택적으로 제거하여 상기 유전층을 두 부분으로 분리하고 순차적으로 노출되는 상기 제1버퍼층 부분을 제거하여 하부의 상기 기판 상을 노출하는 단계;

상기 노출되는 기판 상에 게이트 유전층을 형성하는 단계;

상기 게이트 유전층 상에 상기 트렌치의 양측벽 사이의 갭을 메우는 제2전도성 층을 형성하는 단계;

상기 제1전도성 스페이서를 식각 마스크로 상기 버퍼층을 제거하는 단계; 및

상기 유전층의 상기 버퍼층의 제거에 의해서 노출되는 부분을 상기 제1전도성 스페이서를 식각 마스크로 선택적으로 제거하여 두 부분으로 분리된 상기 유전층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【청구항 19】

제18항에 있어서,

상기 패터닝된 유전층에 의해 노출되는 상기 기판에 제1확산층을 이온 주입으로 형성하는 단계;

상기 패터닝된 유전층 및 상기 제1전도성 스페이서 측벽에 제2절연 스페이서를 형성하는 단계; 및

상기 제2절연 스페이서를 마스크로 상기 기판에 제2확산층을 이온 주입으로 형성하는 단계를 더 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

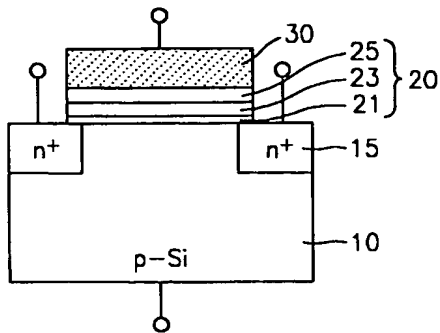
【청구항 20】

제18항에 있어서,

실리사이드화(silicidation) 과정으로 상기 제1전도성 스페이서 및 상기 제2전도성 층 상에 제1실리사이드층을 선택적으로 형성하며 상기 제2확산층 상에 선택적으로 제2실리사이드층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 소노스(SONOS) 메모리 소자 제조 방법.

【도면】

【도 1】



【도 2】

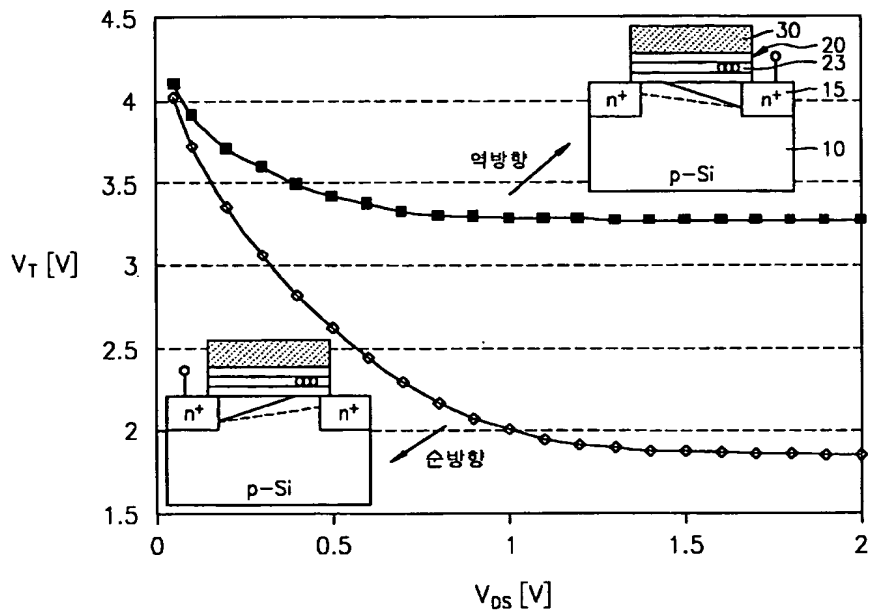
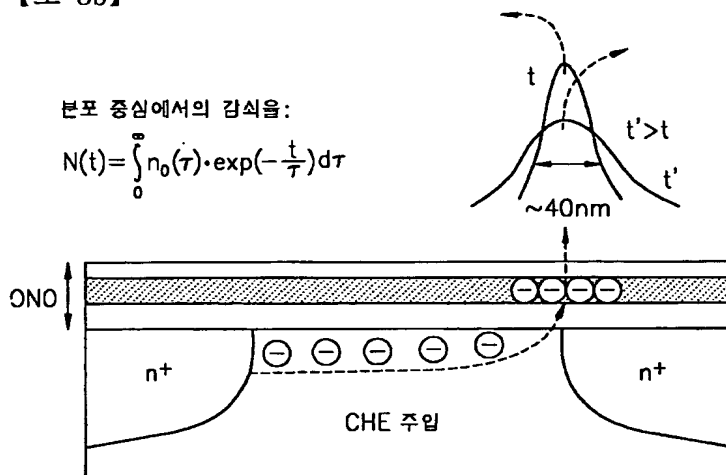


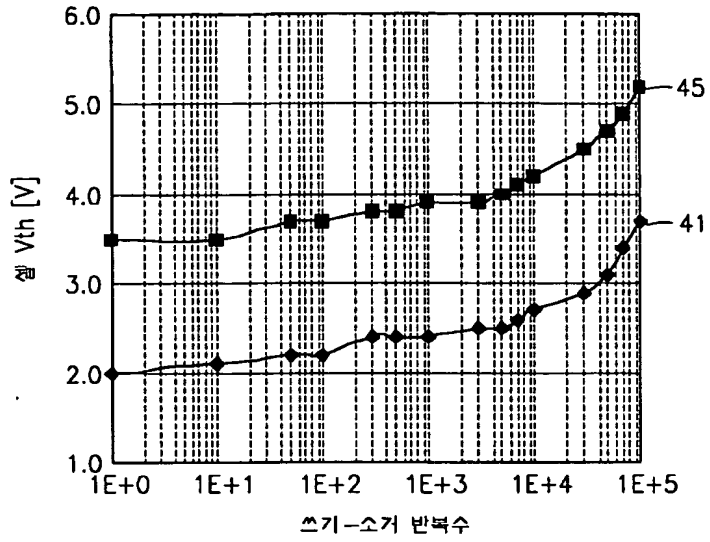
Figure 1 is a logarithmic plot of drain current versus gate voltage. The y-axis is labeled "Log (드레인 전류 (A))" and ranges from -12 to -4. The x-axis is labeled "게이트 전압 (V)" and ranges from 0 to 5. The legend indicates three data series: "프레쉬 셀" (Fresh Cell) represented by filled circles, "프로그래밍된 셀" (Programmed Cell) represented by filled triangles, and "시뮬레이션" (Simulation) represented by a solid line. The fresh cell data shows a sharp increase in current starting around 1.2V, while the programmed cell data shows a similar trend but with a lower current level. The simulation curve closely follows the fresh cell data. An inset diagram shows the device structure with five regions labeled #1 to #5, with dimensions 10nm, 50nm, and 10nm. A list of threshold voltages (V_{th}) for each region is provided: #1: $1.9 \times 10^{13} \text{ cm}^{-2}$, #2: $1.9 \times 10^{13} \text{ cm}^{-2}$, #3: $1.5 \times 10^{13} \text{ cm}^{-2}$, #4: $0.8 \times 10^{13} \text{ cm}^{-2}$, #5: $0.2 \times 10^{13} \text{ cm}^{-2}$.

본포 중심에서의 감쇠율:

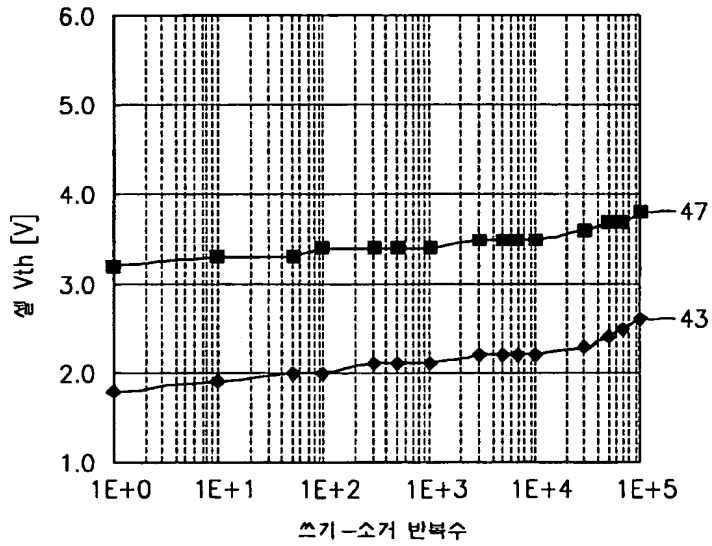
$$N(t) = \int_0^{\infty} n_0(\tau) \cdot \exp(-\frac{t}{\tau}) d\tau$$



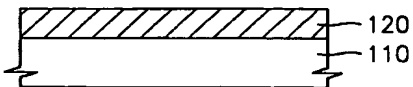
【도 4a】



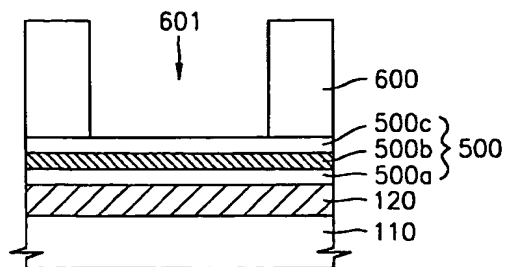
【도 4b】



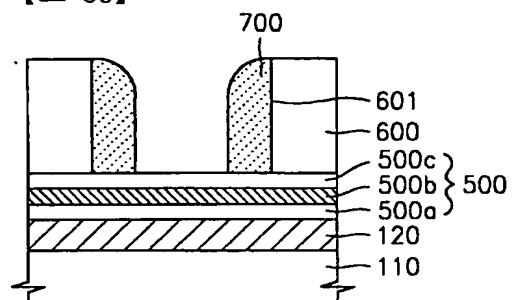
【도 5a】



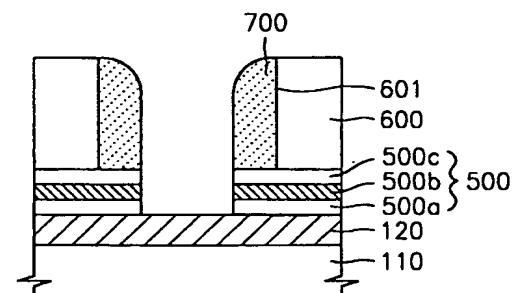
【도 5b】



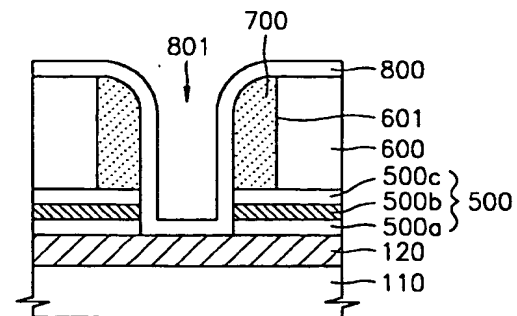
【도 5c】



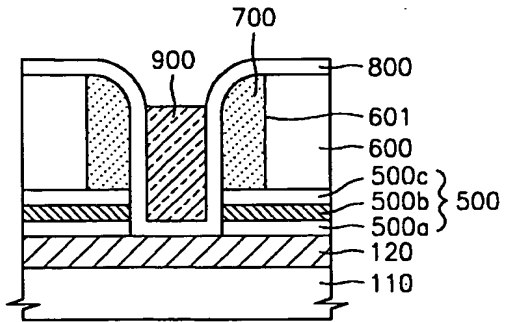
【도 5d】



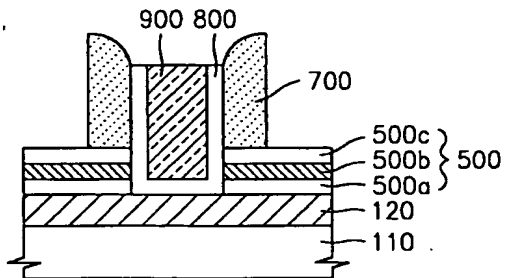
【도 5e】



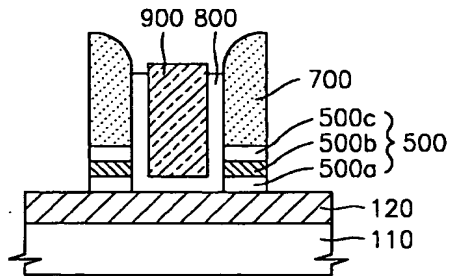
【도 5f】



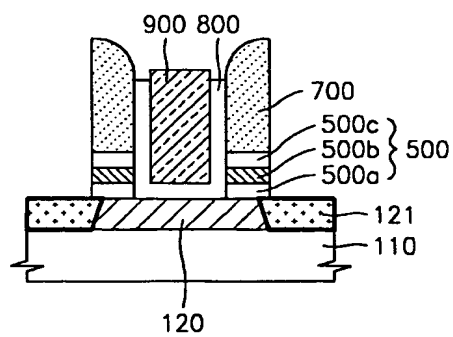
【도 5g】



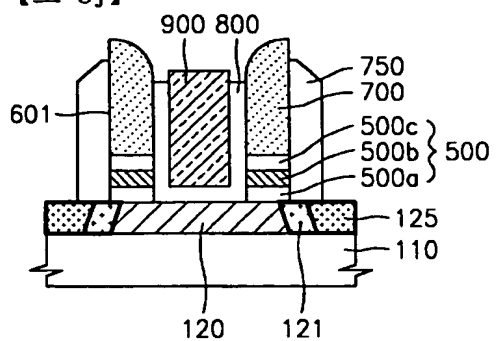
【도 5h】



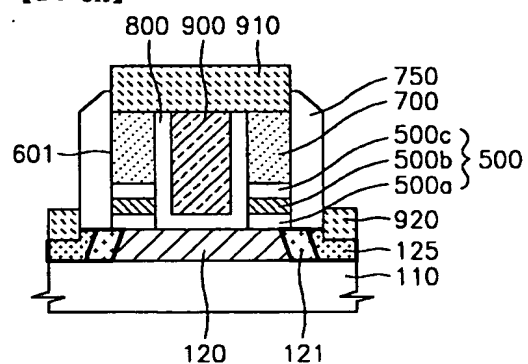
【도 5i】



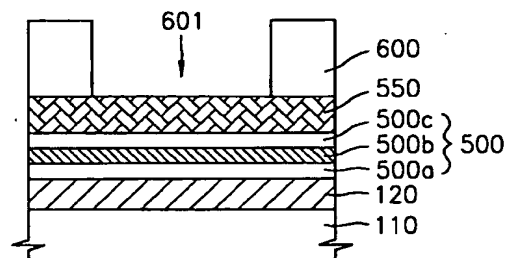
【도 5j】



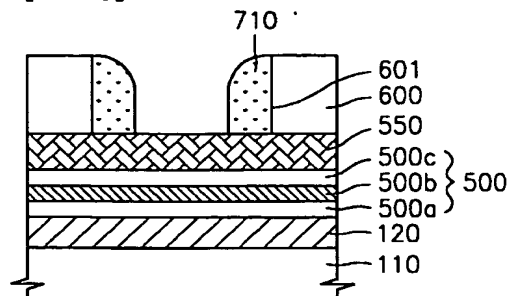
【도 5k】



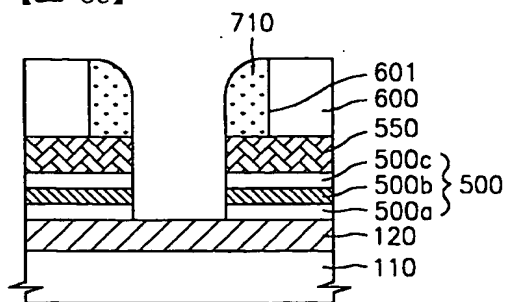
【도 6a】



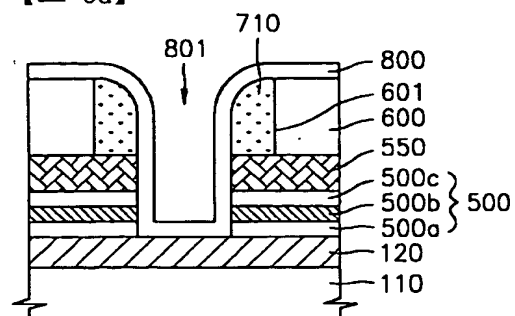
【도 6b】



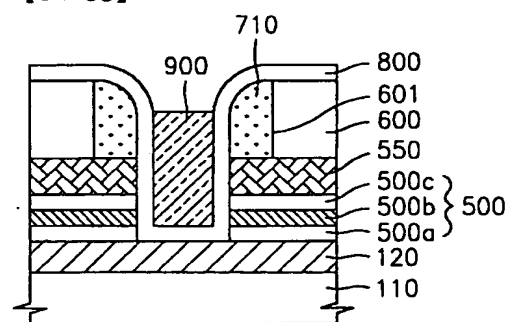
【도 6c】



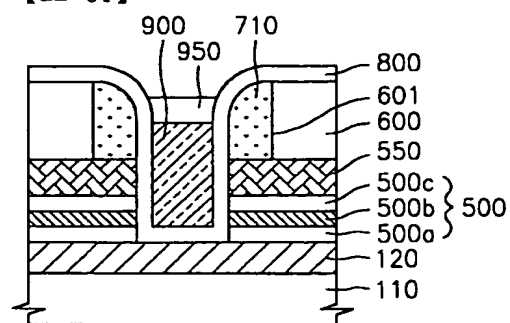
【도 6d】



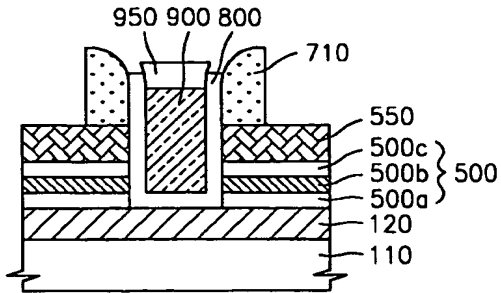
【도 6e】



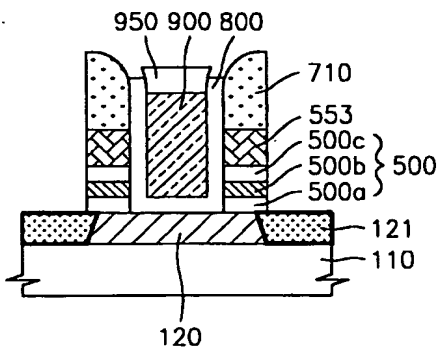
【도 6f】



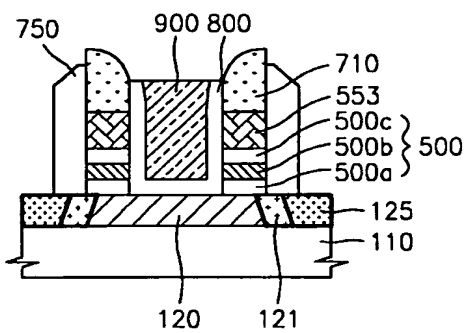
【도 6g】



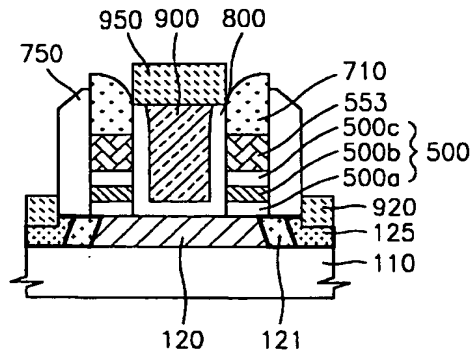
【도 6h】



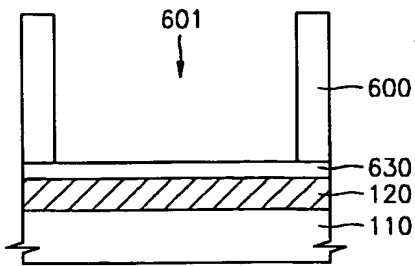
【도 6i】



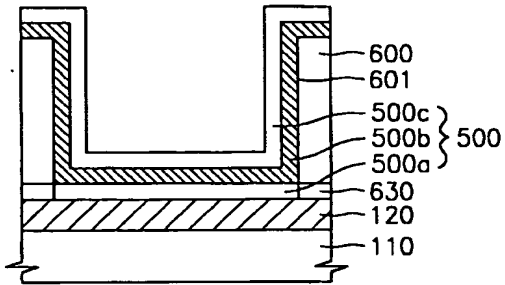
【도 6k】



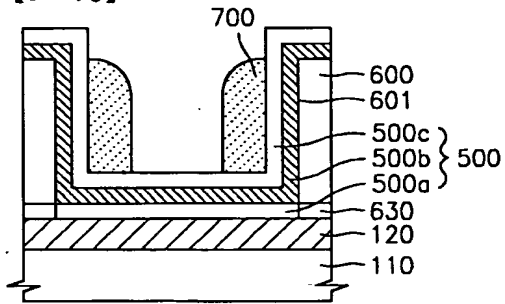
【도 7a】



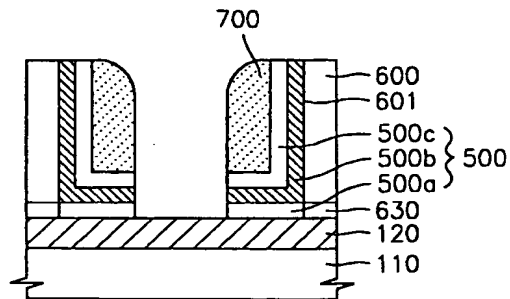
【도 7b】



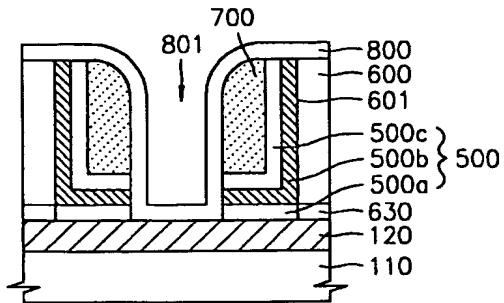
【도 7c】



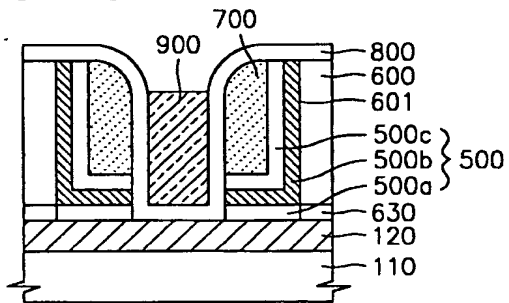
【도 7d】



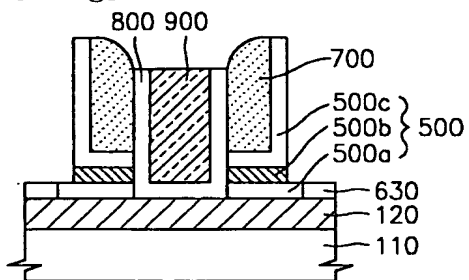
【도 7e】



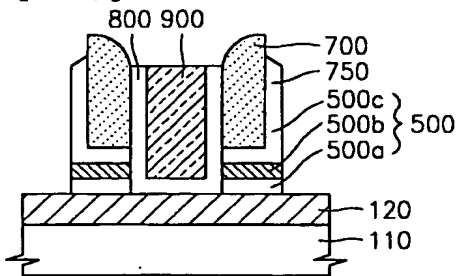
【도 7f】



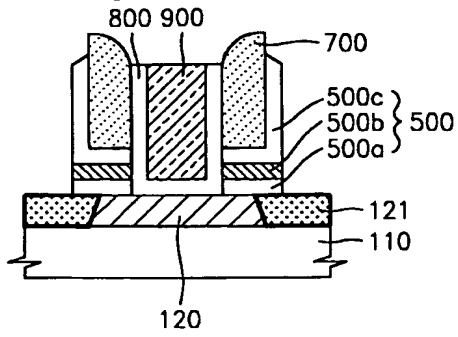
【도 7g】



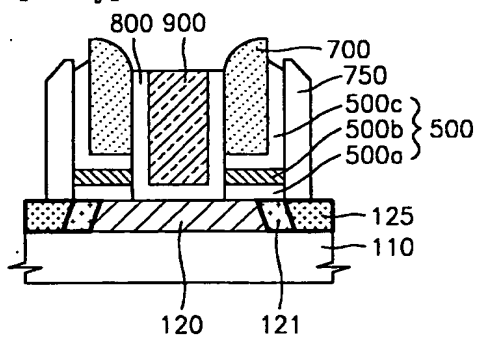
【도 7h】



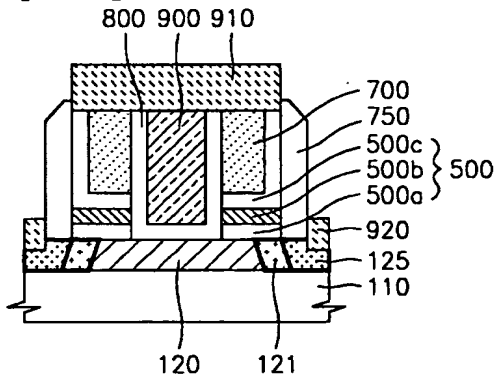
【도 7i】



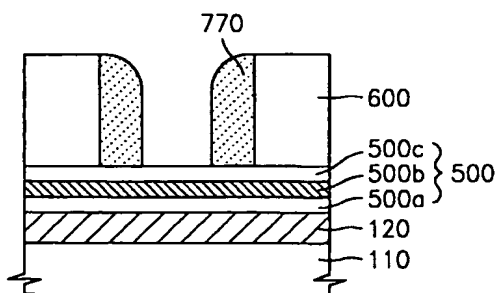
【도 7j】



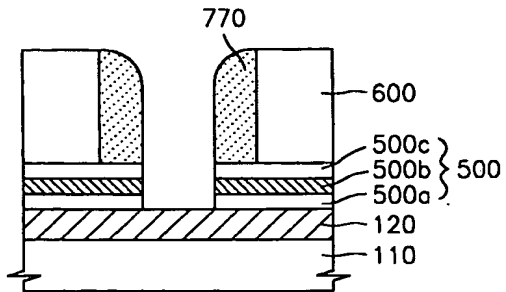
【도 7k】



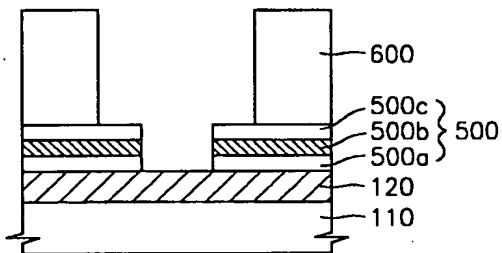
【도 8a】



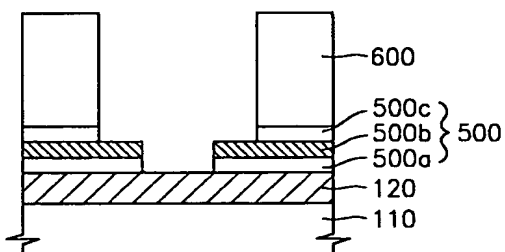
【도 8b】



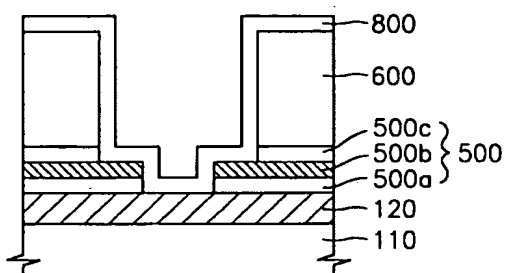
【도 8c】



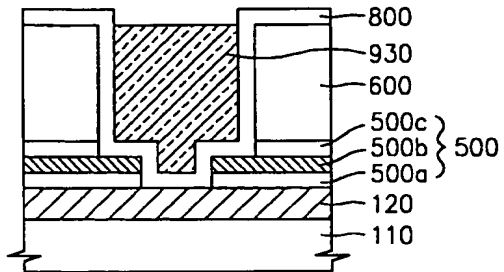
【도 8d】



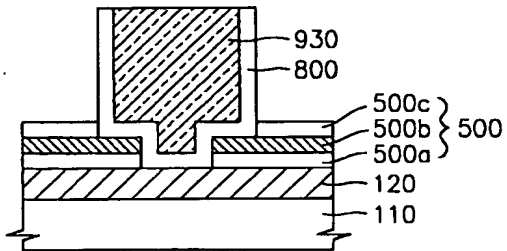
【도 8e】



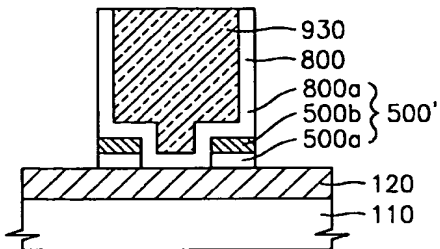
【도 8f】



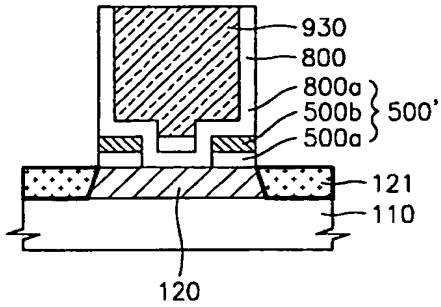
【도 8g】



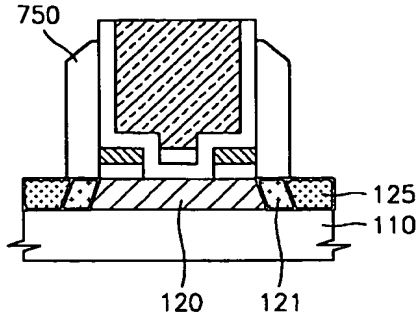
【도 8h】



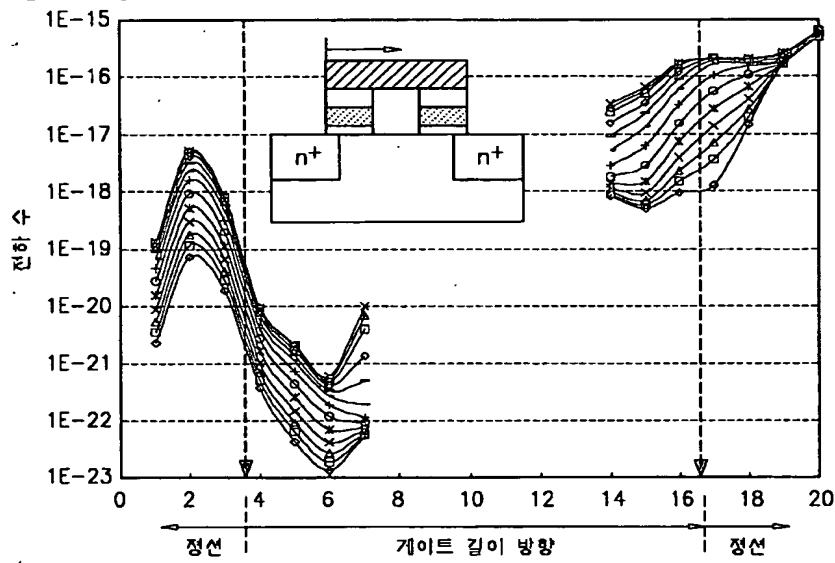
【도 8i】



【도 8j】



【도 9a】



【도 9b】

